

Translation of Priority Certificate

JAPAN PATENT OFFICE

This is to certify that the annexed is a true copy of the following application as filed with this Office.

Date of Application: May 15, 2003

Application Number: Patent Application No. 2003-137734
[ST.10/C]: [JP2003-137734]

Applicant(s): SANYO ELECTRIC CO., LTD.

February 19, 2004

Yasuo Imai
Commissioner,
Japan Patent Office

Priority Certificate No. 2004-3011113

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANT: YUSHI JINNO)
FOR: DISPLAY PANEL AND MANUFACTURING)
METHOD OF DISPLAY PANEL)

CLAIM FOR PRIORITY

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450


Dear Commissioner:

Enclosed herewith is a certified copy of Japanese Patent Application No. 2003-137734 filed on May 15, 2003. The enclosed Application is directed to the invention disclosed and claimed in the above-identified application.

Applicant hereby claims the benefit of the filing date of May 15, 2003, of the Japanese Patent Application No. 2003-137734, under provisions of 35 U.S.C. 119 and the International Convention for the protection of Industrial Property.

Respectfully submitted,

CANTOR COLBURN LLP

By: 

Lisa A. Bongiovi
Registration No. 48,933
Cantor Colburn LLP
55 Griffin Road South
Bloomfield, CT 06002
Telephone: (860) 286-2929
Customer No. 23413

Date: April 15, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 5 月 1 5 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 3 7 7 3 4
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 1 3 7 7 3 4]

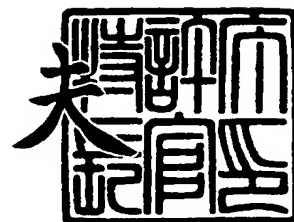
出 願 人 三 洋 電 機 株 式 有 限 公 司
Applicant(s):

特許庁
長官
印

2 0 0 4 年 2 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 1 1 1 1 3

【書類名】 特許願

【整理番号】 KHB1030012

【提出日】 平成15年 5月15日

【あて先】 特許庁長官殿

【国際特許分類】 H05B 33/12

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号 三洋電機株式会社
社内

【氏名】 神野 優志

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代理人】

【識別番号】 100075258

【弁理士】

【氏名又は名称】 吉田 研二

【電話番号】 0422-21-2340

【選任した代理人】

【識別番号】 100096976

【弁理士】

【氏名又は名称】 石田 純

【電話番号】 0422-21-2340

【手数料の表示】

【予納台帳番号】 001753

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1



【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネルの製造方法および表示パネル

【特許請求の範囲】

【請求項 1】 表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、

基板上に薄膜トランジスタを形成する工程と、

この薄膜トランジスタ形成後に複数の層を積層して、表示素子を完成する工程と、

を有し、

前記複数の層を積層する工程には、層厚の厚い絶縁性の平坦化絶縁膜を形成する工程が少なくとも 1 つ含まれ、

この少なくとも 1 つの平坦化絶縁膜を形成する工程の前の工程において、不良画素について、前記表示素子と電源ラインとの接続を切断する工程を設ける表示パネルの製造方法。

【請求項 2】 表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、

基板上に前記薄膜トランジスタを構成する工程と、

この薄膜トランジスタのゲート電極およびその配線を形成する工程と、

前記薄膜トランジスタのソース・ドレイン電極およびこれらのうちの一方の電極と電源ラインとの接続のための配線を形成する工程と、

前記電源ラインに電源を接続するとともに、前記薄膜トランジスタのゲート電極への信号印加を制御し、前記薄膜トランジスタのスイッチング動作に応じた前記電極の状態を検出して導通検査を行う工程と、

この検査結果によって、欠陥ありと判定された画素について、前記薄膜トランジスタを介する前記表示素子と、前記電源ラインとの配線の切断する工程と、

を有し、

前記表示素子の完成前に前記導通検査および配線の切断を行う有機 EL パネル

の製造方法。

【請求項 3】 請求項 2 に記載の方法において、

前記導通検査は、前記表示素子の 1 つの電極を形成した後に行う表示パネルの製造方法。

【請求項 4】 請求項 2 または 3 に記載の方法において、

前記導通検査および配線の切断の後に、平坦性のよい絶縁膜を形成する工程を含み、この絶縁膜によって配線を切断した際に生じた凹部を修復する表示パネルの製造方法。

【請求項 5】 請求項 1 ～ 4 のいずれか 1 つに記載の方法において、

前記配線の切断は、レーザの照射によって行う表示パネルの製造方法。

【請求項 6】 請求項 1 ～ 5 のいずれか 1 つに記載の方法において、

前記表示素子は、有機 E L 素子である表示パネルの製造方法。

【請求項 7】 請求項 1 ～ 6 に記載の方法によって、製造された表示パネル

。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタ（以下 T F T という）とを画素毎に有するアクティブマトリクスタイプの表示パネルの製造、特に欠陥画素についての処理に関する。

【 0 0 0 2 】

【従来の技術】

従来より、フラットディスプレイパネルの 1 つとして、有機 E L ディスプレイパネルが知られている。この有機 E L ディスプレイパネルは、液晶ディスプレイパネル（L C D）とは異なり、自発光であり、明るく見やすいフラットディスプレイパネルとしてその普及が期待されている。

【 0 0 0 3 】

この有機 E L ディスプレイは、有機 E L 素子を画素として、これを多数マトリクス状に配置して構成される。また、この有機 E L 素子の駆動方法としては、L

ＣＤと同様にパッシブ方式とアクティブ方式があるが、ＬＣＤと同様にアクティブマトリクス方式が好ましいとされている。すなわち、画素毎にスイッチ用の素子を設け、そのスイッチ用の素子を制御して、各画素の表示をコントロールするアクティブマトリクス方式の方が、画素毎にスイッチ用の素子を有しないパッシブ方式より高精細の画面を実現でき好ましい。

【 0 0 0 4 】

なお、ＬＣＤの場合は、１つのスイッチング素子（ＴＦＴ）を用い、これを直接画素電極に接続するが、有機ＥＬパネルの場合には、２つのＴＦＴと、１つの容量を用いる。図３に、従来の薄膜トランジスタ（ＴＦＴ）を利用した有機ＥＬパネルにおける画素回路の構成例を示す。有機ＥＬパネルは、このような画素をマトリクス配置して構成される。

【 0 0 0 5 】

行方向に伸びるゲートラインには、ゲートラインによって選択されるｎチャンネル薄膜トランジスタである第１ＴＦＴ１０のゲートが接続されている。この第１ＴＦＴ１０のドレインには列方向に伸びるデータラインＤＬが接続されており、そのソースには他端が低電圧の電源である容量ラインＳＬに接続された保持容量ＣＳが接続されている。また、第１ＴＦＴ１０のソースと保持容量ＣＳの接続点は、ｐチャンネル薄膜トランジスタである第２ＴＦＴ４０のゲートに接続されている。そして、この第２ＴＦＴ４０のソースが電源ラインＶＬに接続され、ドレインが有機ＥＬ素子ＥＬに接続されている。なお、有機ＥＬ素子ＥＬの他端はカソード電源ＣＶに接続されている。

【 0 0 0 6 】

従って、ゲートラインＧＬがＨレベルの時に第１ＴＦＴ１０がオンとなり、そのときのデータラインＤＬのデータが保持容量ＣＳに保持される。そして、この保持容量ＣＳに維持されているデータ（電荷）に応じて第２ＴＦＴ４０の電流が制御され、この第２ＴＦＴ４０の電流に従って有機ＥＬ素子ＥＬに電流が流れ発光する。

【 0 0 0 7 】

そして、第１ＴＦＴ１０がオンしているときにデータラインＤＬに、その画素

に対応するビデオ信号が供給される。従って、データライン D L に供給されるビデオ信号に応じて保持容量 C S が充電され、これによって第 2 T F T 4 0 が対応する電流を流し、有機 E L 素子 E L の輝度制御が行われる。すなわち、第 2 T F T 4 0 のゲート電位を制御して有機 E L 素子に流す電流を制御して各画素の階調表示が行われる。

【 0 0 0 8 】

このような有機 E L パネルにおいて、各画素毎に設けられた T F T 1 または T F T 2 に欠陥が生じる場合がある。これら T F T 1、T F T 2 に欠陥があると、その画素が輝点や暗点になったり、また短絡の発生により接続されているデータライン D L に影響を与え、線欠陥が発生する場合もある。そこで、このような欠陥部分については、T F T 1、T F T 2 等を欠陥部分をラインから切り離し、正常化するリペアが行われている。

【 0 0 0 9 】

このリペアによって、所定数の暗点が発生するが、有機 E L パネルは製品として問題がなく、輝点を暗点化することで歩留まりの大幅な向上が達成できる。

【 0 0 1 0 】

ここで、リペアは、欠陥部分に至る配線を断線することによって行える。すなわち、L C D の場合と同様に、Y A G レーザなどのレーザ照射によって、T F T 2 と電源ラインまたは画素電極との配線を切断することが考えられる。

【 0 0 1 1 】

これによって、欠陥部分を配線から切り離し、減点化することができ、全体の表示における問題を解決することができる。

【 0 0 1 2 】

【発明が解決しようとする課題】

しかし、この Y A G レーザによるリペア処理を行うと、深い穴があく。例えば、各画素の T F T が形成された段階で、Y A G レーザによる配線の切断を行うと、配線とともに、その下の層なども吹き飛ばされ、そこに深い穴が形成される。有機 E L パネルでは、その後有機層、カソードを形成するが、これらの層はかなり薄いので、穴をカバーすることができない。従って、有機 E L 素子の有機層も

その側面が直接陰極の上方空間にさらされることになる。そこで、水分の浸水による有機層の劣化などが進みやすく、欠陥画素が広がるおそれもある。

【0013】

また、LCDにおいても、レーザにより配線を切断した場合に、その部分は配線だけでなく、他の層もなくなり、穴となっている。従って、各層の側面が露出されることになり、劣化などの原因や微細画素デバイスにおける配向乱れの原因になる。

【0014】

本発明は、上記課題に鑑みなれたのものであり、画素の劣化を抑制しつつ、レーザを利用した欠陥画素の減点化が効果的に行える表示パネルの減点化方法を提供することを目的とする。

【0015】

【課題を解決するための手段】

本発明は、表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネルの製造方法であって、基板上に薄膜トランジスタを形成する工程と、この薄膜トランジスタ形成後に複数の層を積層して、表示素子を完成する工程と、を有し、前記複数の層を積層する工程には、層厚の厚い絶縁性の平坦化絶縁膜を形成する工程が少なくとも1つ含まれ、この少なくとも1つの平坦化絶縁膜を形成する工程の前の工程において、不良画素について、前記表示素子と電源ラインとの接続を切断する工程を設けることを特徴とする。

【0016】

このように、本発明によれば、表示素子の完成前に、欠陥画素については配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層の形成工程で、配線切断によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【0017】

また、本発明は、表示素子と、この表示素子と電源ラインとの接続を制御する薄膜トランジスタとを画素毎に有するアクティブマトリクスタイプの表示パネル

の製造方法であって、基板状に前記薄膜トランジスタを構成する工程と、この薄膜トランジスタのゲート電極およびその配線を形成する工程と、前記薄膜トランジスタのソース・ドレイン電極およびこれらのうちの一方の電極と電源ラインとの接続のための配線を形成する工程と、前記電源ラインに電源を接続するとともに、前記薄膜トランジスタのゲート電極への信号印加を制御し、前記薄膜トランジスタのスイッチング動作に応じた前記電極の状態を検出して導通検査を行う工程と、この検査結果によって、欠陥有りと判定された画素について、前記薄膜トランジスタを介する前記表示素子と、前記電源ラインとの配線の切断する工程と、を有し、前記表示素子の完成前に前記導通検査および配線の切断を行うことを特徴とする。

【0018】

このように、本発明によれば、表示素子の完成前に前記導通検査を行い、欠陥画素については例えばレーザーによる配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層などの形成工程で、レーザー等によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【0019】

また、前記導通検査は、前記表示素子の1つの電極を形成した後に行うことが好適である。

【0020】

また、前記導通検査および配線の切断の後に、平坦性のよい絶縁膜を形成する工程を含み、この絶縁膜によって配線を切断した際に生じた凹部を修復することが好適である。

【0021】

また、前記配線の切断は、レーザーの照射によって行うことが好適である。

【0022】

また、前記表示素子は、有機EL素子であることが好適である。

【0023】

また、本発明は、上述の方法によって、製造された表示パネルに関する。

【0024】

【発明の実施の形態】

以下、本発明の実施形態について、図面に基づいて説明する。

【0025】

図1は、本実施形態に係る表示装置の製造を説明する図である。まず、ガラス基板上30にTFTを形成する。すなわち、低温ポリシリコンによる能動層40aを形成し、その表面に酸化シリコンのゲート酸化膜を形成し、ゲート電極40cを形成する。次に、ゲート電極40cをマスクとして、能動領域40aに不純物を注入して、ソースドレイン領域を形成する。さらに、層間絶縁膜34を形成し、TFTを覆った後、コンタクトホールを形成し、ソース電極40d、ドレイン電極40eを形成する。次に、平坦化絶縁膜36を形成し、この平坦化絶縁膜36にソース電極40dに接続するコンタクトホールを形成して、平坦化絶縁膜36上にITOからなる陽極50を形成する。

【0026】

このようにして、有機EL素子ELの陽極50までの回路が形成される。そして、この段階でアレイテストを行う。このアレイテストは、電源ラインVLに所定の電源電圧を印加した状態で、ゲートラインGL、データラインDLに所定の信号を供給して、その際に保持容量CSおよび第2TFT40の寄生容量C_{dtr}の蓄積電荷を検出することによって行う。すなわち、第2TFT40の寄生容量が所定の値であれば、第2TFT40が正常であることが分かる。そこで、第2TFT40に蓄積された電荷を計測することによって、第1TFT10および第2TFT40の両方の検査を行うことができる。

【0027】

なお、第1TFT、容量CSや、周辺のドライブ回路も、第2TFT40と一緒に形成されており、これら回路を利用してテスト用信号の供給ができる。

【0028】

そして、このアレイテストにより、欠陥画素が発見された場合には、その画素について、第2TFT40と電源ラインVLまたは陽極50（例えば、コンタクトの周囲を切り離す）の接続を切り離す。すなわち、TFTの異常などによるシ

ョートの発生など欠陥があった場合には、その異常な部分を電氣的に切り離し、正常化する。

【0029】

すなわち、図2(a)に示すように、TFTが形成され、第1平坦化絶縁膜36が形成され、その上に陽極50(図示省略)が形成された段階で、アレイテストを行う。そして、欠陥画素については、レーザを照射して、配線を切断することで、マトリクス回路から各画素を切り離す。レーザの照射は、図における上方からでも、ガラス基板30を介して下方からでもかまわない。これによって、図2(b)に示すように、レーザによって、各層が除去され、穴が生じる。この例では、電源ラインVLと、駆動トランジスタ40の間の配線を切断している。

【0030】

そして、第2平坦化絶縁膜60を形成することで、図2(c)に示すように、レーザの照射によって形成された穴が、埋められる。

【0031】

次に、第2平坦化絶縁膜60の陽極50の上方を除去した上で、正孔輸送層52、有機発光層54、電子輸送層56、陰極58を順次積層し、素子基板を完成する。また、その後周辺部分にシール材が付着形成された封止基板を素子基板に接着して有機ELパネルが完成される。なお、図1においては、有機発光層54が陽極50上にのみ存在し、他の層は全面に存在するように記載したが、電子輸送層56は、Alq3など発光する材料を含む場合もあり、電子輸送層56も有機発光層54と同様に発光部のみに限定する場合も多い。

【0032】

なお、レーザには、YAGレーザ等が用いられ、YAGレーザとしては、1064nmや533nmのレーザが通常利用される。このような波長であれば、TFT能動層である多結晶シリコンなどを透過して、その上層の形成されている配線層を切断することができる。

【0033】

このように、本実施形態によれば、陽極50が形成された段階で、アレイテストを行い、欠陥画素の配線をレーザによって、切除して、その画素の暗点化を行

う。本有機EL表示装置では、陽極50形成後にさらに厚い第2平坦化絶縁膜60の形成工程が存在しており、レーザーリペアにより生じた穴を、その後第2平坦化絶縁膜60によって穴埋めすることが可能であり、レーザー照射による傷を効果的にリペアすることができる。

【0034】

また、ドレイン／ソース両電極形成後に、レーザーリペアを行い、第1平坦化膜以降の膜形成のプロセスでレーザーで生じた穴を埋めることも可能である。

【0035】

特に、有機ELパネルの場合には、有機EL素子を形成する正孔輸送層52、有機発光層54、電子輸送層56からなる有機層は、200nm程度とかなり薄く、有機層によっては、レーザーによって形成された穴を穴埋めすることができないが、本実施形態によれば第2平坦化絶縁膜によって、効果的な穴埋めができる。

【0036】

従って、TF Tの欠陥などに起因する配線の欠陥をリペアして、有機ELパネルの歩留まりを大幅に向上するとともに、レーザー照射によって形成された穴を絶縁材によって埋めることができ、その後の使用によって、穴を介し、水分や酸素などが有機層に至り、有機層が劣化し、ダークスポットが形成されるのを効果的に防止することができる。

【0037】

なお、アレイテストに用いるアレイテストは、有機層形成前のTF T形成基板（素子基板）に対して実行するため、LCDのテストに用いられるものをそのまま利用することもできる。もちろん、有機EL専用のテストによりテストを行ってもよい。さらに、レーザーを照射して配線を切断するレーザーリペア装置についてもLCDの製造において使用されるものをそのまま利用することができる。

【0038】

また、LCDにおいても、TF T基板の電極を構成するまでのプロセスは、ほとんど同一である。すなわち、ガラス基板上に画素毎に第1TF Tと補助容量が形成された後、画素電極が形成され、この段階で、アレイテストを行い、不良画

素について、レーザを用いたリペアを行えばよい。

【0 0 3 9】

上述の例では、レーザ光を用い配線を切断したが、これに限らず、電子線、F I B (Focused Ion Beam) 等を用いることもできる。

【0 0 4 0】

このように、本実施形態によれば、画素電極 5 0 を形成した段階で、つまり後工程に比較的厚い絶縁膜（第 2 平坦化絶縁膜 6 0）の形成工程が存在する前の段階で検査を行い、欠陥画素については、レーザによる配線切断を行い、異常短絡個所の切断や、その画素の暗点化が行われる。そして、その後に第 2 平坦化絶縁膜 6 0 を必要な領域に形成することで、レーザによって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【0 0 4 1】

ここで、第 2 平坦化絶縁膜 6 0 は、画素電極（陽極）5 0 の中央では、開口し、その端部をカバーするようにパターンニングされるが、レーザリペアされて生じた穴部に第 2 平坦化絶縁膜 6 0 を残すパターンとすることで、特別な工程の追加なくリペア後の穴のカバーが可能である。

【0 0 4 2】

【発明の効果】

以上説明したように、本発明によれば、表示素子の完成前に前記導通検査を行い、欠陥画素についてはレーザ等による配線切断を行い、その画素の暗点化が行われる。そこで、その後の絶縁層などの形成工程で、レーザ等によって生じた穴を修復することができ、完成した表示パネルにおいて、穴から水分などが侵入することを防止できる。

【図面の簡単な説明】

【図 1】 画素部の構成を示す図である。

【図 2】 レーザによるリペアを説明する図である。

【図 3】 画素回路の構成を示す図である。

【符号の説明】

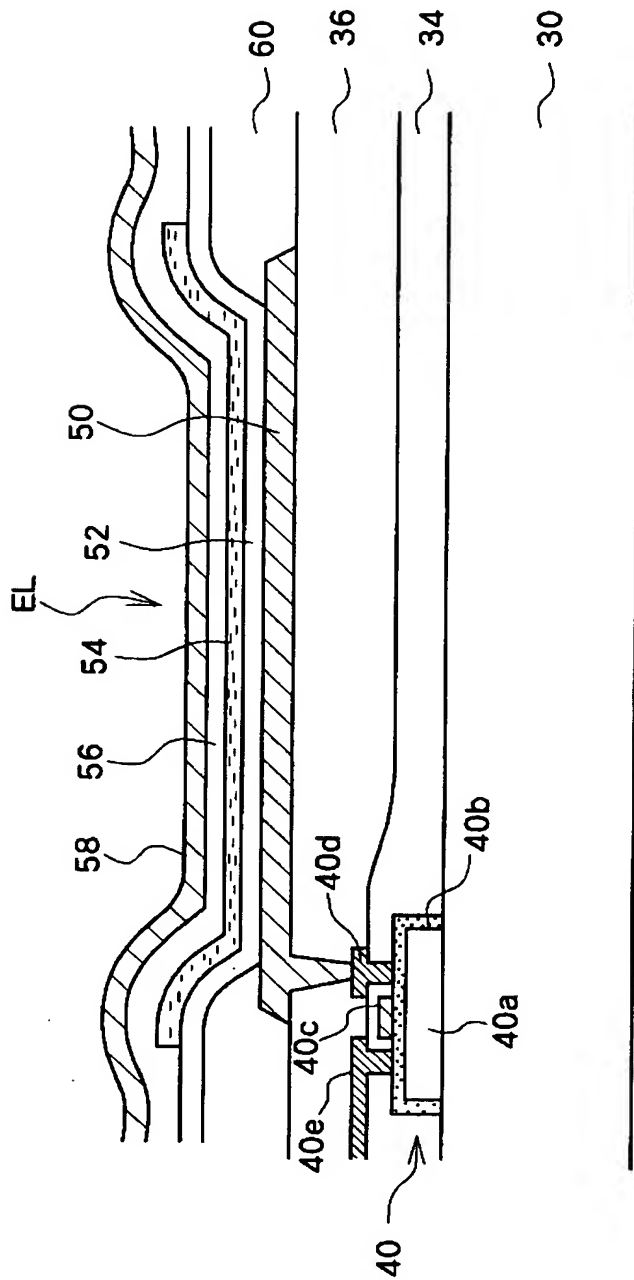
3 0 ガラス基板、4 0 第 2 T F T、5 0 陽極、6 0 第 2 平坦化絶縁膜

。

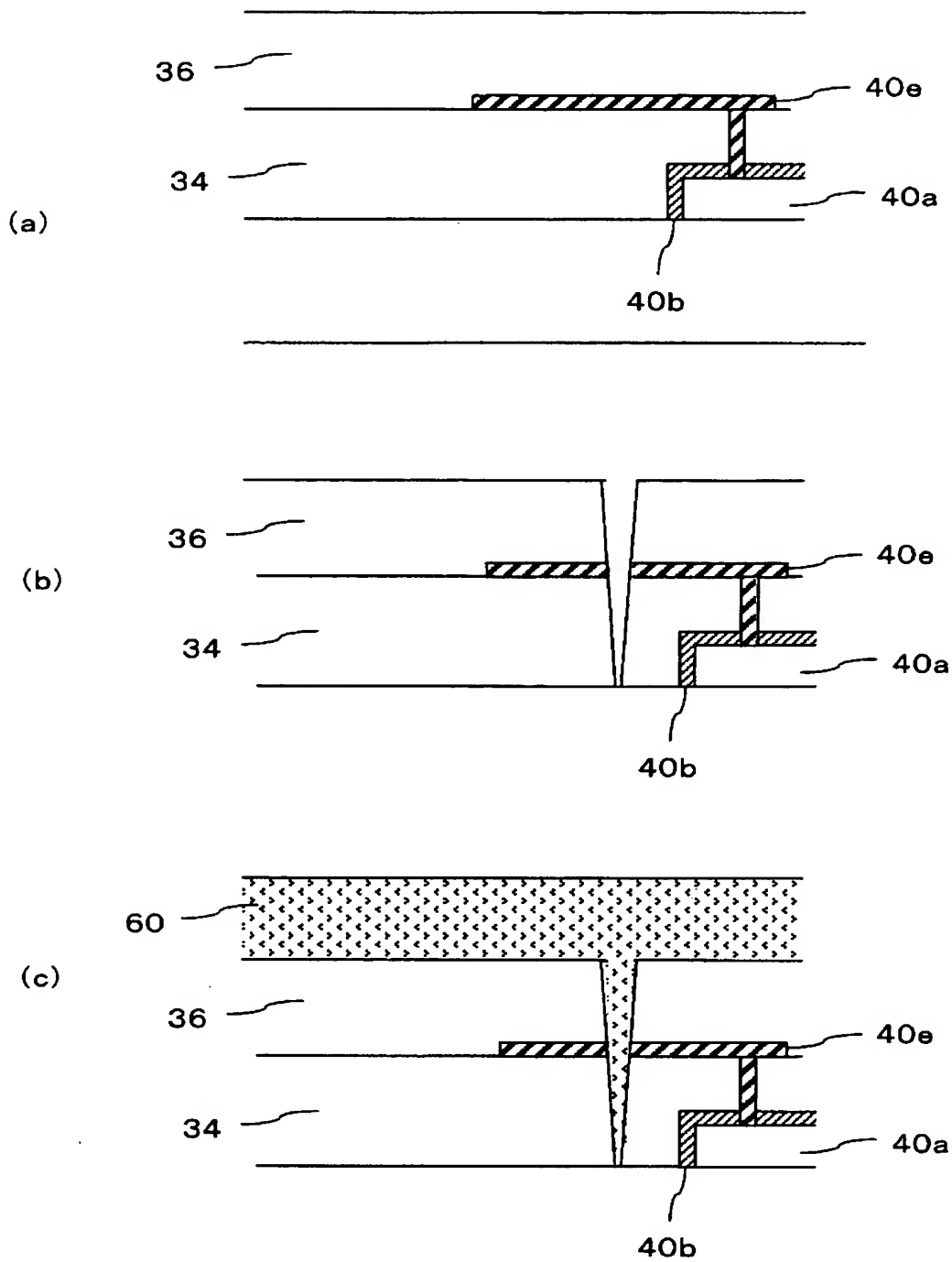
【書類名】

図面

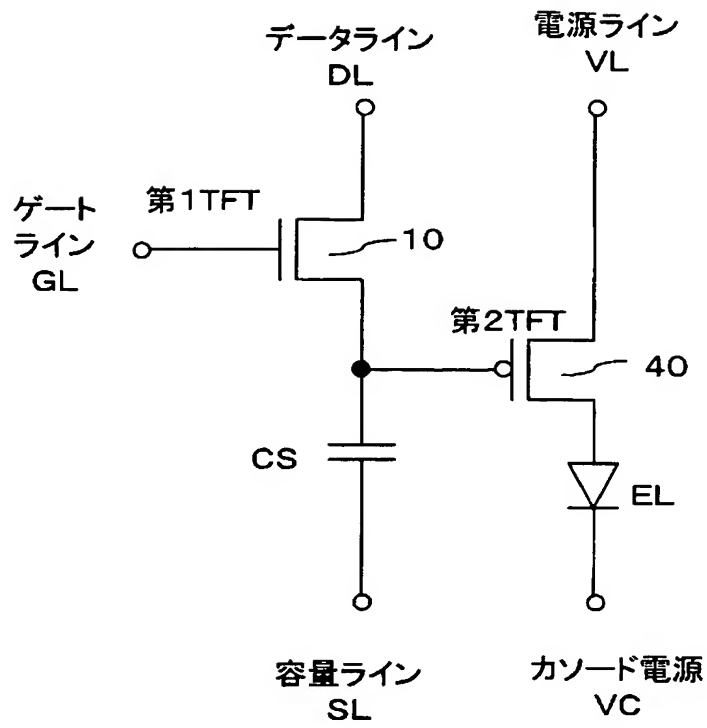
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 画素の劣化を抑制しつつ、レーザを利用した欠陥画素の減光化を効果的に行う。

【解決手段】 パネル形成の途中、例えば第 2 T F T 4 0 が完成し、有機 E L 素子の陽極が形成された段階で、アレイ検査を行う。そして、欠陥画素については、レーザによって配線を切断する。そして、このレーザによるリペアの後、第 2 平坦化絶縁膜 6 0 を形成してレーザにより生じた穴を埋める。

【選択図】 図 2

特願 2 0 0 3 - 1 3 7 7 3 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 1 8 8 9]

1. 変更年月日 1 9 9 3 年 1 0 月 2 0 日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通 2 丁目 5 番 5 号
氏 名 三洋電機株式会社